

JP07049662 A

LIQUID CRYSTAL DISPLAY DEVICE

SHARP CORP

Inventor(s): ;OTA AKIO

Application No. 05195651 JP05195651 JP, Filed 19930806,A1 Published 19950221

Abstract: PURPOSE: To improve design efficiency by sharing a first conversion circuit part and revising it matching with a liquid crystal display panel using only a second conversion circuit part.

CONSTITUTION: The R, G, B signals inputted to an input connector 1 are converted to a dot clock with  $640 \times 480$  dots, 25.175MHz. The signals are supplied to a time expansion circuit 12, and horizontal and vertical synchronizing signals H- and V-SYNC2 are supplied to a control circuit 13 for liquid crystal, and by the time expansion circuit 12, time expanded parallel signals at every two lines are outputted and supplied to a liquid crystal display part 15. In such a manner, the R, G, B signals and the horizontal, vertical synchronizing signals are converted to a signal format with  $640 \times 480$  dots the number of display dots temporarily, and thereafter, are parallel time expansion converted so as to be adapted to the drive of the liquid crystal display panel. Thus, in the case of revising the using liquid crystal display panel, only a parallel time expansion conversion part may be redesigned according to the conversion.

Int'l Class: G09G00320; G02F001133 G09G00336

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-49662

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20	V	9378-5G		
G 0 2 F 1/133	5 0 5	9226-2K		
G 0 9 G 3/36				

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平5-195651

(22) 出願日 平成5年(1993)8月6日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 太田 明男

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

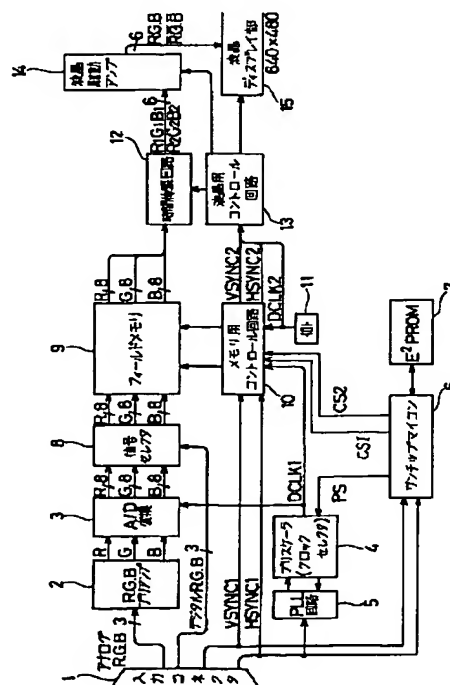
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 各種液晶表示パネル毎に設計変更される信号フォーマットの変換回路の設計効率を向上させることで、使用する液晶表示パネルの変更が容易に行えるようにした液晶表示装置を得る。

【構成】 入力される映像信号の信号フォーマットを液晶表示パネルの駆動に合った信号フォーマットに変換する変換回路を、入力される映像信号の信号フォーマットを判別して所定の信号フォーマットに変換する第1の変換回路部と、一旦所定の信号フォーマットに変換された映像信号を次に液晶表示パネルの駆動に合った信号フォーマットに変換する第2の変換回路部とで構成する。



**【特許請求の範囲】**

**【請求項 1】** 入力される映像信号の信号フォーマットを、液晶表示パネルの駆動に合った信号フォーマットに変換して表示させるために変換回路を備えた液晶表示装置において、その変換回路を、入力される映像信号の信号フォーマットを判別して所定の信号フォーマットに変換する第 1 の変換回路部と、一旦所定の信号フォーマットに変換された映像信号を次に液晶表示パネルの駆動に合った信号フォーマットに変換する第 2 の変換回路部とで構成したことを特徴とする液晶表示装置。

**【請求項 2】** 前記第 1 の変換回路部は、入力される映像信号が 1 フィールド分書き込まれるフィールドメモリと、このフィールドメモリへの書き込み／読み出しを、入力される映像信号の信号フォーマットに応じて制御するメモリ用コントロール回路とを含んでいることを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 3】** 前記第 2 の変換回路部は、所定の信号フォーマットに変換された映像信号を時間伸張した 2 ライン毎の並列映像信号として出力する時間伸張回路を含んでいることを特徴とする請求項 1 に記載の液晶表示装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、例えばパーソナルコンピュータ等の画像信号発生装置から入力される映像信号の信号フォーマットを、液晶表示パネルの駆動に合った信号フォーマットに変換して表示させる液晶表示装置に関するものである。

**【0002】**

**【従来の技術】** 従来、例えばパーソナルコンピュータ（以下、「パソコン」という）から入力される映像信号の表示を行う液晶表示装置（パソコンの単一モデル専用の液晶表示装置や各種パソコンに対応したマルチスキャンタイプの液晶表示装置等）においては、その入力される映像信号の信号フォーマット、例えば水平周波数、垂直周波数、表示ドット数、ドットクロック、有効表示ドット数等を、液晶表示装置に用いられている液晶表示パネルの駆動に合った信号フォーマットに変換してから表示させるようにしていた。

**【0003】**

**【発明が解決しようとする課題】** そのため、このような従来の液晶表示装置においては、入力される映像信号の信号フォーマットを液晶表示パネルの駆動に合った信号フォーマットに変換するための変換回路が設けられていた。

**【0004】** ところが、このような変換回路は液晶表示装置に用いられる液晶表示パネル毎に専用化して回路全体の設計がなされていたため、夫々仕様（ドット数、インチ数、ライン数、駆動方式等）の異なる各種液晶表示パネルを用いて複数種類の液晶表示装置を製品化しようとする場合、その使用する各種液晶表示パネル毎に、変

換回路全体を再設計する必要があった。その結果、設計効率が非常に悪くなり、その分各種液晶表示パネルを用いた複数種類の液晶表示装置の実現が困難になっていた。

**【0005】** 本発明はこのような点に鑑み成されたものであって、各種液晶表示パネル毎に設計変更される信号フォーマットの変換回路の設計効率を向上させることで、使用する液晶表示パネルの変更が容易に行えるようにした液晶表示装置を提供することを目的とするものである。

**【0006】**

**【課題を解決するための手段】** 上記した目的を達成するため本発明では、入力される映像信号の信号フォーマットを、液晶表示パネルの駆動に合った信号フォーマットに変換して表示させるために変換回路を備えた液晶表示装置において、その変換回路を、入力される映像信号の信号フォーマットを判別して所定の信号フォーマットに変換する第 1 の変換回路部と、一旦所定の信号フォーマットに変換された映像信号を次に液晶表示パネルの駆動に合った信号フォーマットに変換する第 2 の変換回路部とで構成したものである。

**【0007】** 具体的に、前記第 1 の変換回路部は、入力される映像信号が 1 フィールド分書き込まれるフィールドメモリと、このフィールドメモリへの書き込み／読み出しを、入力される映像信号の信号フォーマットに応じて制御するメモリ用コントロール回路とを含んでいるものである。また、前記第 2 の変換回路部は、所定の信号フォーマットに変換された映像信号を時間伸張した 2 ライン毎の並列映像信号として出力する時間伸張回路を含んでいるものである。

**【0008】**

**【作用】** このような構成によると、第 1 の変換回路部が共通化され、第 2 の変換回路部のみが使用する液晶表示パネルに合わせて変更されることになる。そのため、各種液晶表示パネルに対する変換回路の設計変更が部分的なもので良くなり、その設計効率が向上することになる。

**【0009】**

**【実施例】** 以下、本発明の一実施例として各種パソコンに対応したマルチスキャンタイプの液晶表示装置の場合について図面と共に説明する。図 1 において、1 は各種パソコンから信号フォーマット（水平、垂直周波数、表示ドット数、ドットクロック等）の異なる映像信号（この場合、アナログ或いはデジタル信号形態の R、G、B（三原色）信号とその水平、垂直同期信号）が入力される入力コネクタで、パソコン側と接続コードを介して接続されるようになっている。

**【0010】** 2 は入力コネクタ 1 に入力されたアナログ信号形態の R、G、B 信号に増幅やクランプ処理等を施す R G B プリアンプ、3 は R G B プリアンプ 2 からの

R、G、B信号をドットクロックDCLK1に基づいてサンプリングし8ビットのデジタル信号形態に変換するA/D変換回路である。

【0011】このドットクロックDCLK1としては、入力コネクタ1に接続されるパソコン側のドットクロックと同じになったプリスケラ4の出力が用いられるようになっており、プリスケラ4は接続されるパソコンの種類と表示モードに応じてその分周比が可変され、その分周出力に応じたPLL回路5での制御がなされることで、接続されるパソコン側のドットクロックと同期がとれ同じクロック周波数になったドットクロックを出力するようになっている。ここで、PLL回路5は位相検波器、LPF、電圧制御発振器、固定分周器等からなり、プリスケラ4側への電圧制御発振器からの発振出力を分周出力に応じて制御するようになっている。

【0012】この場合、この液晶表示装置はI社製のテキスト表示モードとグラフィック表示モード、N社製の標準表示モード、M社製の表示モードのひとつに夫々対応しているので、分周比を4段階に可変することにより、4種類のドットクロック（I社製のテキスト表示モードの場合のクロック周波数28.322MHz、I社製のグラフィック表示モードの場合のクロック周波数25.175MHz、N社製の標準表示モードの場合のクロック周波数21.0526MHz、M社製の表示モードのひとつの場合のクロック周波数30.24MHz）が得られるようになっている。

【0013】ここで、分周比はマイクロコンピュータ（この場合ワンチップマイコンで、以下単に「マイコン」という）6からのコントロール信号PSに基づいて可変されるようになっており、マイコン6は入力コネクタ1に入力される水平、垂直同期信号の周波数や極性からパソコンの種類やその表示モード、信号フォーマット等を判別してそれに応じたコントロール信号PS、CS1、CS2を出力するようになっている。また、マイコン6は接続されるパソコンの種類やその表示モード毎に水平、垂直位置、ドットクロック位相等の調整を行うようになっており、その調整後の値をEEPROM7に記憶するようになっている。

【0014】そして、8は入力コネクタ1にパソコン側からアナログ信号形態のR、G、B信号が入力されている場合にはA/D変換回路3からのR、G、B信号を出力し、また入力コネクタ1にパソコン側から8ビットのデジタル信号形態のR、G、B信号が入力されている場合にはそのR、G、B信号を出力する信号セクタである。

【0015】9は信号セクタ8からのR、G、B信号が1フィールド分書き込まれるフィールドメモリで、このフィールドメモリ5の容量は入力されるR、G、B信号の最大階調数、最大表示ドット数、最大水平周波数等を考慮して決定されている。10は信号セクタ8から

のR、G、B信号の信号フォーマットを所定の信号フォーマット（この場合、640×480ドット、水平周波数31.5KHz、垂直周波数60Hz、ドットクロック25.175MHz）に変換するためのメモリ用コントロール回路で、入力される水平、垂直周波数を31.5KHzと60Hzに変換して出力すると共に、マイコン7からのコントロール信号CS1、CS2によりフィールドメモリ9へのR、G、B信号の書き込み/読みだしを制御するようになっている。

【0016】即ち、その書き込みはコントロール信号CS1に基づいてドットクロックDCLK1のタイミングで行い、その読み出しはコントロール信号CS2に基づいて水晶発振器11からのドットクロック（25.175MHz）DCLK2のタイミングで行っている。例えば、フィールドメモリ9に書き込まれたR、G、B信号の表示ドット数が640×480ドットよりも少ない場合は、フィールドメモリ9内のR、G、B信号を読み出す際に部分的に2度読みを行うことで、640×480ドットに変換するようにしている。例えば、320×200ドットの場合、その前後に黒レベルの信号を付加して（図2の斜線部）2度読みを行うことで、640×480ドットに変換している。

【0017】また、逆にフィールドメモリ9に書き込まれたR、G、B信号の表示ドット数が640×480ドットよりも多い場合は、フィールドメモリ9内のR、G、B信号を読み出す際に部分的に間引いて読み出すことで、640×480ドットに変換するようになっている。例えば、720×480ドットの場合、8ドット毎に1ドット間引いて読み出すことで、640×480ドットに変換している。

【0018】このように、入力コネクタ1に入力されフィールドメモリ9に書き込まれるR、G、B信号がどのような表示ドット数、ドットクロックであっても、フィールドメモリ9からの読み出し時に640×480ドット、25.175MHzのドットクロックに変換されることになり、その信号フォーマットが640×480ドット、水平周波数31.5KHz、垂直周波数60Hz、ドットクロック25.175MHzになる。

【0019】そして、信号フォーマットが変換されたR、G、B信号は時間伸張回路12に、水平、垂直同期信号H、VSYNC2は液晶用コントロール回路13に夫々供給されることになり、時間伸張回路12は液晶用コントロール回路13からのクロックのタイミングでフィールドメモリ9からのR、G、B信号を時間伸張（この場合、2倍に）した2ライン毎の並列信号として、アナログに変換したのち出力するようになっている。

【0020】そして、アナログに変換された2ライン毎の並列R、G、B信号は液晶駆動アンプ14に供給され、この液晶駆動アンプ14で、液晶表示パネルの各ライン上において水平周期並びにフィールド毎に極性反転

されるよう液晶用コントロール回路 13 からの極性反転信号に基づいて極性反転され、液晶表示パネルの駆動に必要なレベルまで増幅された後、液晶ディスプレイ部 15 に供給されるようになっている。

【0021】ここで、液晶ディスプレイ部 15 は液晶駆動アンプ 14 からの 2 ライン毎の並列 R、G、B 信号を同時に受けて、この場合  $640 \times 480$  ドットの液晶表示パネルをソース、ゲートドライバーにより線順次にて並列時間伸張駆動するようになっている。尚、液晶表示パネルは水平、垂直方向に複数の画素と複数の信号、走査電極とがマトリクス状に配された TFT アクティブマトリクス方式になっている。

【0022】このように、パソコン側から入力される R、G、B 信号と水平、垂直同期信号は、一旦表示ドット数  $640 \times 480$  ドット、ドットクロック 25.175 MHz、水平周波数 31.5 KHz、垂直周波数 60 Hz の信号フォーマットに変換され、その後に液晶表示パネルの駆動に適合するよう並列時間伸張変換されるようになっているので、使用する液晶表示パネルを変更する場合にはそれに応じてこの並列時間伸張変換部分のみを再設計するだけで良くなる。

【0023】図 3 はこのような時間伸張回路 12、液晶駆動アンプ 14、液晶表示ディスプレイ部 15 の具体的な構成を示し、16 は液晶用コントロール回路 13 からの制御クロック CCLK に基づいて上側スイッチ部 16A と下側スイッチ部 16B が水平周期で交互にオンとなるスイッチ回路、17、18 はフィールドメモリ 9 から 1 水平期間 (31.75  $\mu$ s) の R、G、B 信号が液晶表示パネルの 1 ライン分としてスイッチ回路 17 を通じて交互に書き込まれる、即ち周波数 fck (25.175 MHz) のクロック RCLK1 (書き込み用) で書き込まれる並列配置の第 1、第 2 ラインメモリで、両ラインメモリ 17、18 は交互に書き込まれた 1 水平期間の映像信号を  $1/2$  の周波数 fck/2 のクロック RCLK2 (読み出し用) で夫々同時に時間伸張して読み出すようになっている。

【0024】例えば、フィールドメモリ 9 から連続して出力されてくる水平期間の R、G、B 信号イ、ロ、ハ、ニ…は、スイッチ回路 16 で第 1、第 2 ラインメモリ 17、18 に交互に振り分けられて順次書き込まれ、例えば図 4 に示すように 1 フィールドの 1 番目の 1 水平期間の R、G、B 信号イが第 1 ラインメモリ 17 に書き込まれると、次の 2 番目の 1 水平期間の R、G、B 信号ロが第 2 ラインメモリ 18 に書き込まれ、そして 3 番目の 1 水平期間の R、G、B 信号ハの第 1 ラインメモリ 17 への書き込み開始と同時に、両ラインメモリ 17、18 から先に書き込んだ 2 ライン分の R、G、B 信号イ、ロの読み出しが開始され、3 番目と 4 番目の R、G、B 信号ハ、ニが書き込まれている間に、即ちその水平期間が 2 倍になった 2 ライン毎の並列信号として読み出されるこ

とになる。

【0025】19、20 は第 1、第 2 ラインメモリ 17、18 から読み出された 2 ライン毎の並列 R、G、B 信号を  $1/2$  周波数 fck/2 のクロック (変換用) のタイミングで元のアナログ信号に夫々変換する第 1、第 2 D/A 変換回路、21A、21B はアナログに変換された 2 ライン毎の R、G、B 信号が液晶表示パネルの各ライン上において水平周期並びにフィールド毎に極性反転されるよう極性反転信号 FRP と /FRP (180° 位相がズレた FRP) に基づいて極性反転して出力する第 1、第 2 映像インターフェース回路、22A、22B は極性反転された 2 ライン毎の R、G、B 信号を液晶表示パネルの駆動に必要なレベルにして夫々出力する第 1、第 2 駆動回路である。

【0026】23A、23B は第 1、第 2 駆動回路 22A、22B からの 2 ライン毎の R、G、B 信号が同時に入力される液晶表示パネルの 2 ライン分の並列配置された第 1、第 2 ソースドライバーで、該ソースドライバー 23A、23B は夫々元の 2 倍の水平周期 (31.75  $\mu$ s  $\times$  2) のサンプリングスタートクロック SPD1 に基づいて夫々同時に作動され液晶表示パネルの水平方向の画素数に相当する (この場合、 $1/2$  周波数 fck) サンプリングクロック CLD1 のタイミングで 2 ライン毎の R、G、B 信号を夫々元の 2 倍の水平期間にサンプルホールドした後、液晶表示パネルの各信号電極に 1 ライン毎交互に元の水平周期で出力するようになっている。

【0027】尚、24 は垂直周期の取り込みスタートクロック SPS に基づいて作動され、水平周期の取り込みクロック CLS のタイミングで液晶表示パネルの各走査電極に走査電圧を順次出力するゲートドライバーで、この場合液晶用コントロール回路 13 は水平、垂直同期信号 H、VSYNC2 とドットクロック DCLK2 に基づいて液晶表示パネルの駆動制御に必要な水平系クロック (SPD1、CLD1、LP)、垂直系クロック (SPS、CLS)、システム系クロック (RCLK1、RCLK2)、極性反転信号 FRP、/FRP 等を生成して出力するようになっている。

【0028】従って、このような構成では第 1、第 2 ラインメモリ 17、18 でその水平期間が 2 倍に伸張された 2 ライン毎の並列信号に変換されることになり、そしてその並列信号状態で第 1、第 2 ソースドライバー 23A、23B による 2 ライン毎のサンプルホールドが元の 2 倍の水平期間内で行われることになるため、そのサンプルホールド時間が 2 倍となって第 1、第 2 ソースドライバー 23A、23B 内での各画素毎の信号保持用コンデンサへの充電時間が十分確保されることになり、コントラストの良い高画質な表示が行えることになる。また、そのサンプリングクロック CLD1 も半分の周波数で済み、不要輻射が抑制されることになる。

【0029】尚、図5は第1、第2ソースドライバー23A、23Bの具体的な構成を示し、25A、25Bは水平周期のサンプリングスタートクロックSPD1に基づいて同時に作動されサンプリングクロックCLD1のタイミングで夫々R、G、B信号をサンプルホールドして、即ちその時の信号電圧を各画素毎の信号保持用コンデンサに充電して左から右方向に順次出力していく第1、第2アナログメモリで、該アナログメモリ25A、25Bは夫々1ライン分のメモリ容量を有する。

【0030】そして、26A、26Bはアナログメモリ25A、25Bにて1ライン分のR、G、B信号がサンプルホールドされるとそのアナログメモリ25A、25Bから出力される1ライン分のR、G、B信号を元の2倍の水平周期のラッチパルスLPにより同時にラッチするラッチ回路で、該ラッチ回路26A、26Bのラッチ出力は液晶表示パネルの各信号電極にスイッチ回路27を介して1ライン毎交互に元の水平周期で供給されるようになっている。

【0031】従って、ゲートドライバー24により液晶表示パネルの各走査電極に走査電圧を順次出力していくと、1水平期間のR、G、B信号イ、ロ、ハ、ニ…が液晶表示パネルの1ライン目、2ライン目と順次取り込まれることになる。ここで、スイッチ回路27を用いることなく、図6のように第1、第2ラッチ回路26A、26Bからのラッチ出力が1ライン毎交互に印加されるように構成しても良い。

【0032】以上、本実施例ではパソコン側から入力される映像信号の信号フォーマットを、一旦表示ドット数640×480ドット、ドットクロック25.175MHz、水平周波数31.5KHz、垂直周波数60Hzの信号フォーマットに変換するようにしたが、これに限定されるものではない。また、サンプルホールド時間を2倍にする場合について述べたが、これに限定されるもの

ではなく、例えばラインメモリ並びにソースドライバー等を3個並列配置して3倍になるようにしても良い。

【0033】

【発明の効果】 上述した如く本発明の液晶表示装置に依れば、第1の変換回路部が共通化され、第2の変換回路部のみが使用する液晶表示パネルに合わせて変更されることになるので、各種液晶表示パネルに対する変換回路の設計変更が部分的なもので良くなり、その設計効率を向上させることができる。そのため、使用する液晶表示パネルの変更が容易に行えることになり、その分各種液晶表示パネルを用いた複数種類の液晶表示装置の実現が容易になる。

【図面の簡単な説明】

【図1】 本発明を実現するための回路構成例を示す図。

【図2】 その表示ドットの変換を説明するための図。

【図3】 その並列時間伸張変換部分の具体的な構成例を示す図。

【図4】 そのラインメモリへの書き込み・読み出しを説明するための図。

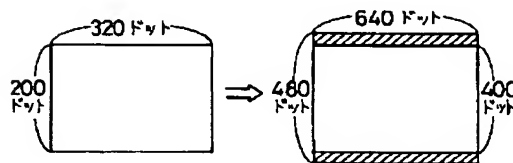
【図5】 そのソースドライバーの具体的な構成例を示す図。

【図6】 その他の構成例を示す図。

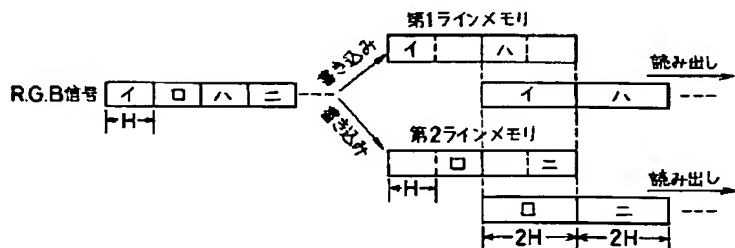
【符号の説明】

- 1 入力コネクタ
- 6 マイコン
- 9 フィールドメモリ
- 10 メモリ用コントロール回路
- 12 時間伸張回路
- 13 液晶用コントロール回路
- 14 液晶駆動アンプ
- 15 液晶ディスプレイ部

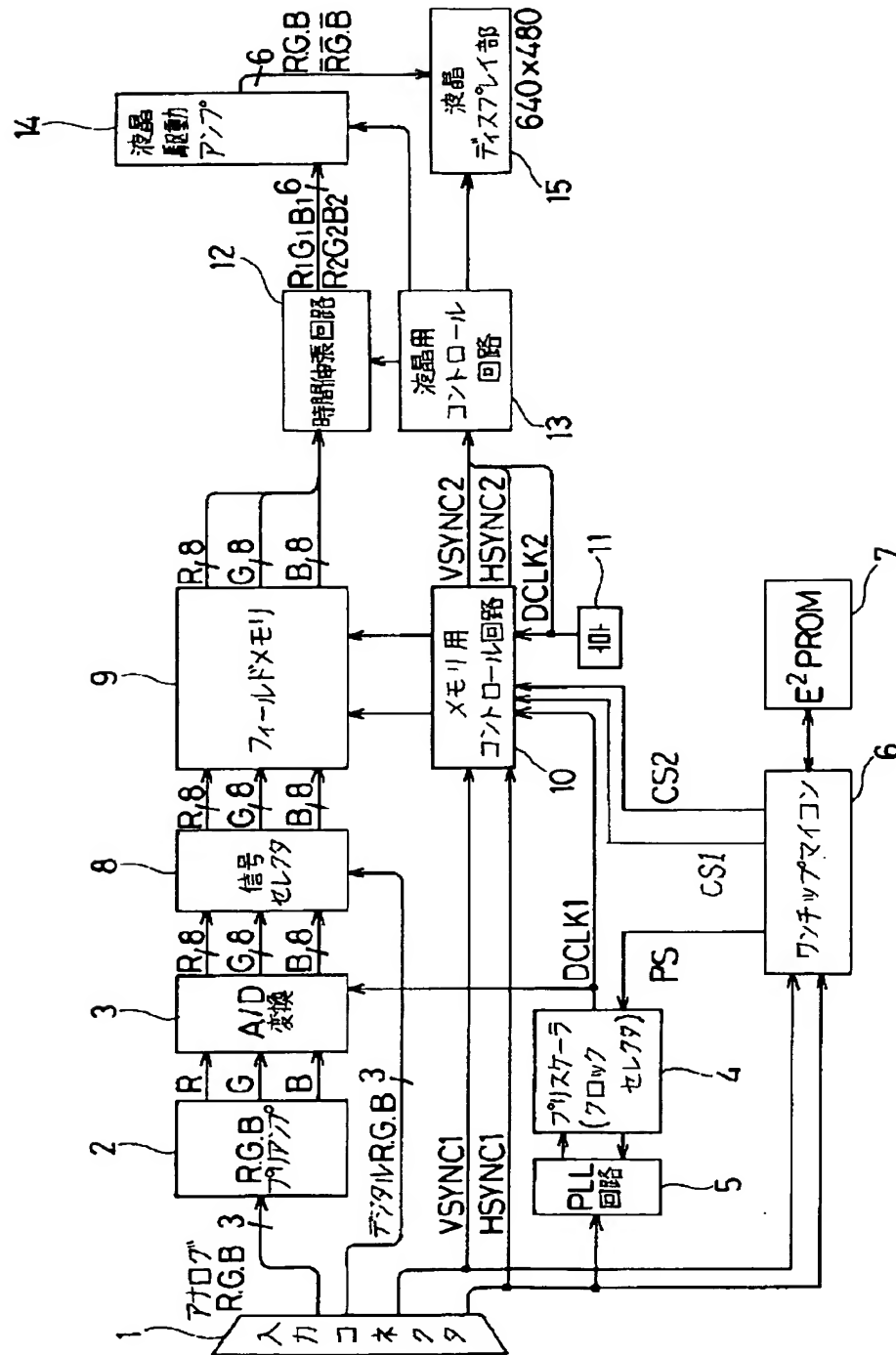
【図2】



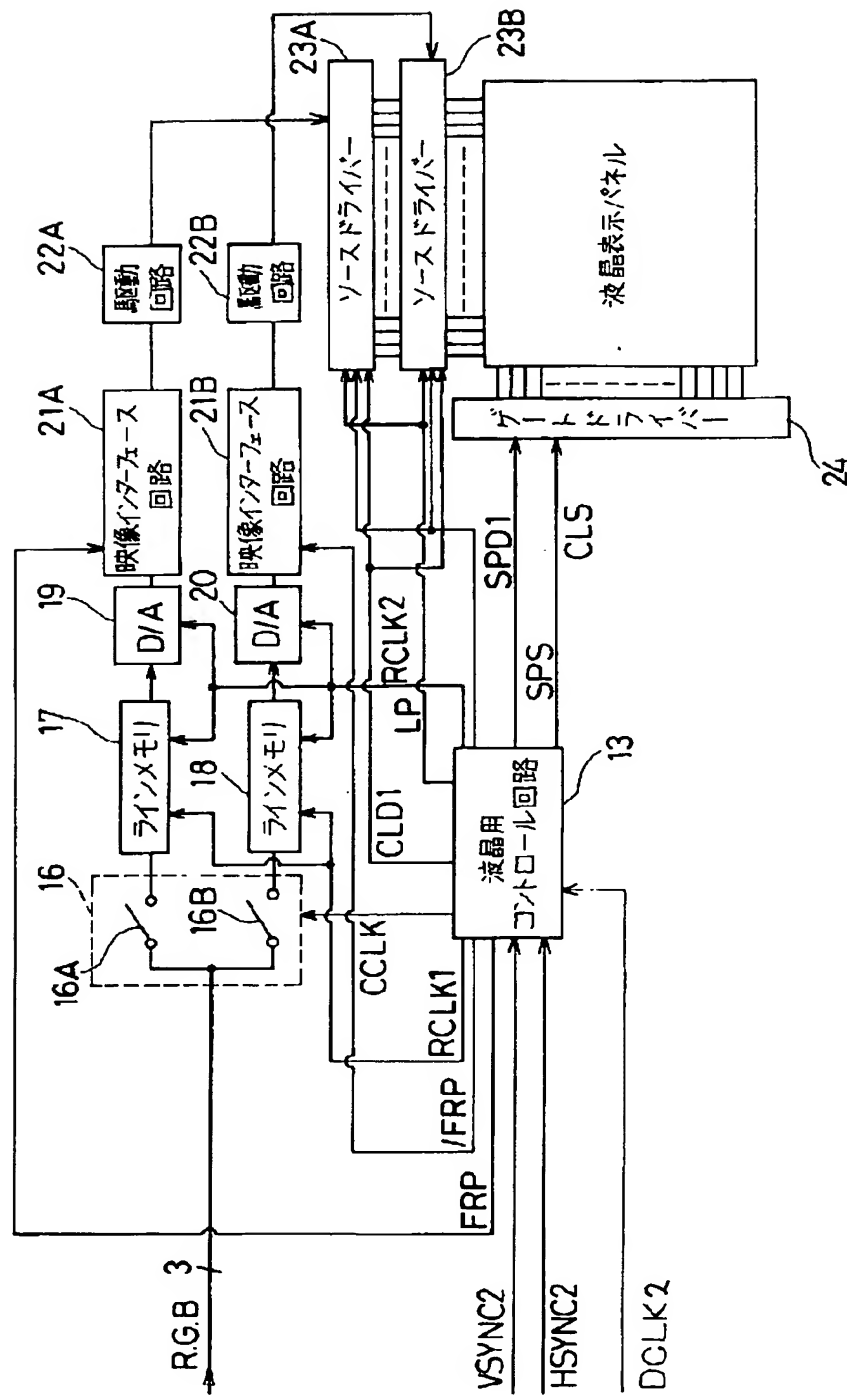
【図4】



【図 1】

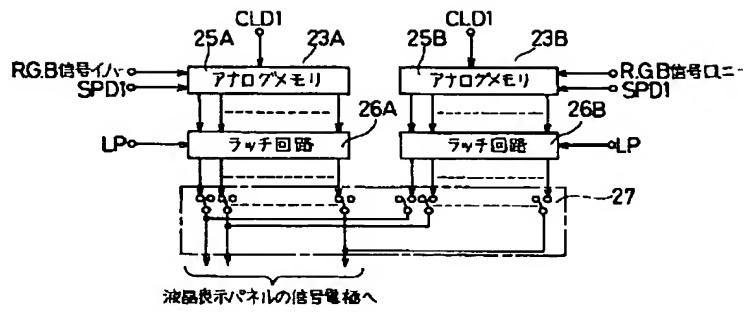


【図3】





【図5】



【図6】

